



Hitotsubashi University
Institute of Innovation Research



一橋大学イノベーション研究センター

東京都国立市中2-1
<http://www.iir.hit-u.ac.jp>

半導体産業における国際競争力低下要因を探る：
ネットワーク分析の視点から

中馬宏之
一橋大学イノベーション研究センター教授

2011年5月

要旨

半導体デバイスやバイオ医薬品に代表される日本のサイエンス型産業において、世界市場シェアの長期にわたる減少・停滞傾向が著しい。その主要な原因の一つは、急加速したテクノロジー・マーケットの複雑性(含むグローバル化)増大スピードに日本勢がなかなかついて行けなくなっている点にある。本論の主要な目的は、このような問題意識に基づいて、クロック・スピードになかなかついて行けなくなっている日本の半導体産業の様子を、High-k/Metal Gateと呼ばれる最先端の半導体プロセス技術事例に基づいて一目瞭然化することにある。オリジナリティは、聞き取り調査と異次元の可視化能力持つネットワーク分析によって一目瞭然化するための方法論の提示とそれに基づいたと分析結果である。そして、日本勢がなぜスピードについて行けなくなっているのか？どのようにすればついていけるようになるのか？という難問解決のための糸口を模索する。

半導体産業における国際競争力低下要因を探る： ネットワーク分析の視点から¹

一橋大学イノベーション研究センター

中馬宏之

1. はじめに

半導体デバイスやバイオ医薬品に代表される日本のサイエンス型産業において、世界市場シェアの長期にわたる減少・停滞傾向が著しい。このような状況への危機感は、従来型の科学技術政策から“サイエンス・イノベーション”（市場を通じて社会を変革するサイエンス上の発見・発明・改良）重視の科学技術イノベーション政策へと舵を切った第四次科学基本計画にも明確に反映されている。主要な減少・停滞原因の一つは、疑いなく、急加速したテクノロジー・マーケットの複雑性（含むグローバル化）増大スピードに日本勢がなかなかついて行けなくなっている点にある。

テクノロジー・マーケットの複雑性が急速に増大していく状況は、従来型のビジネス戦略や技術戦略に大きな試練をもたらす。特に、そのような試練は、テクノロジー・マーケット双方のクロック・スピードが桁違いに速いサイエンス型産業において顕在化しがちである。半導体産業では、90年代初頭以来、インテル主導の国際半導体ロードマップ(ITRS)活動によって“Mooreの法則”や“More-Moore”²に象徴される微細化のためのクロック・スピードを世界規模で同期・加速する仕組みが存在してきた。さらに、21世紀に突入するにつれ、スマートフォン内蔵のSOC(System-On-a-Chip)に象徴される高度化した微細化技術の幅広い応用技術をめざした“More-Than-Moore”の時代への相変化も急速に進みつつある。まさに双方のクロック・スピードが加速してきている。

時代の相変化は、新たに登場した上位システムの中で既存システムを急速に下部システム化させる。そのため、新旧どちらの企業・組織にとっても、考慮すべきビジネス戦略や研究開発(R&D)戦略の考察の系が急拡大する。事実、現代の半導体産業では、両戦略の考察の系が、企業・組織の境界だけではなく国境をも頻繁に飛び越える状況にある。ただし、そのような要請への迅速な対応は、汎用DRAM³ビジネスにおける日本勢の急速な盛衰プロセスが物語るように、成功体験が大きいほど難しい(Chuma and Hashimoto (2010)、中馬・安生・橋本(2009))。

相変化が頻繁に起きる環境下では、市場の淘汰圧に対応した組織の俊敏な再構築力がものをいう。そのためには、組織内・組織間の高い配線自由度を持つ“中枢神経系”（基幹情報ネットワーク）が不可欠である。それは、インターネットへの自由自在なジャンプが可能な“Kindle化”⁴された電子書籍が、豊穡な知識の外海へ飛び出すための強力な媒体と化す様子に似る。ところが、栄光を支えてきた旧来の“中枢神経系”は、人々に体化した知識・ノウハウの希少性を決定する源でもあるため、なかなか変えにくい。ただし、以前のままだと部分と全体の構図が刻々と変化しても、迅速

¹ 本研究は、科学技術研究費・基盤Sプロジェクト『イノベーション・プロセスに関する産学官連携研究』（代表者：中馬宏之、2008年度～2012年度）の成果に基づいている。また、本論にはITRS研究会の成果ならびに橋本哲一氏（元日立中央研究所・主管研究員）とのディスカッションが数多く反映されている。この場をお借りし皆様に深く御礼申し上げます。ただし、残された誤りは全て筆者に帰する。

² 前者は過去数十年にわたって成立してきた3年毎に30%超の微細化傾向を示す経験則。後者は同法則の促進志向を意味。

³ Dynamic Random Access Memory

⁴ Amazon・Kindleのこと。

なコミュニケーションに不可欠な共通認知環境構築⁵に時間がかかるので、関係する人々の間で情報の転送速度や応答速度がなかなか上がらない。

しかも、日本の企業・組織には、組織の末端においても自律分散性と属人性を尊重したコミュニケーション構造を好む良き伝統がある。他方、“第三次産業革命”の原動力である情報通信技術 (ICT) は、あらゆる事柄を一目瞭然化する。したがって、良き伝統としての自律分散性維持には、Zuboff(1984)が指摘するように、“丸見え化”された情報への平等なアクセス保証が不可欠となる。保有する情報に大きな差があると、関係者間に不必要な疑心暗鬼や局所最適化をもたらすからである。ところが、自律分散性と一目瞭然性との親和性を高めるための“見える化”経営は、上意下達方式を旨とする旧来の組織経営の放棄を意味するため、大きな産みの苦しみを孕む。

本論の主要な目的は、日本の企業・組織に関する以上の問題意識に基づいて、テクノロジー・マーケットのクロック・スピードになかなかついて行けなくなっている日本の半導体産業の様子を、High-k/Metal Gate (HKMG: 詳細は後述) と呼ばれる最先端の半導体プロセス技術事例に基づいて“丸見え化”することにある。オリジナリティは、聞き取り調査とネットワーク分析によって“丸見え化”するための方法論の提示とそれに基づいたと分析結果である。もちろん、最終目的は、日本勢がなぜ加速するテクノロジー・マーケットのクロック・スピードについて行けなくなっているのか? どのようにすればついていけるようになるのか? という難問解決のための糸口を探すことにある。

なお、HKMG技術は、本質的にMore Moore実現のための技術である。従って、More-Than- Moore時代の要請、特に設計領域での要請とは一見結びつかない。ただし、日本の半導体産業の競争力が弱化した構図は、研究、開発、設計、マーケティング等のみならず生産システムに至る箇所でもフラクタル図形のように見つかる (中馬(2007))。しかも、この構図は、産業を問わず産学官の様々な箇所でも顔を出しはじめている。したがって、HKMG事例の深掘りは、個別具体的な事例ではあるが、そのような現象の本質を探る上で十分に有用だと考えられる。

2. 分析の方法

2.1 利用データ

ネットワーク分析が対象とするデータは、1980年～2010年(半年分)における米国登録及び公開特許データ 11,957件(パテント・ファミリー勘案済み⁶)と主要なアカデミックジャーナルやコンファレンスで公刊された9,684論文である。利用データベースは、米国特許が Thomson Innovation、論文が IEEE-Xplore⁷である。検索式は割愛するが、特許・論文データは、各々次の5つの技術モジュール別に作成した。a) 統合プロセス技術としての Gate Last 方式とプロセス統合に不可欠な b) 高誘電率(high-k)膜、c) メタルゲート(Metal Gate)、d) 歪みシリコン(Strained-Silicon)、e) 原子層堆積装置 (Atomic Layer Deposition : ALD) という四つの新しい要素技術である。特許・論文の双方共に、全文検索を行った。バックグラウンド情報収集に際しては、関連文献調査と半導体技術者・科学者への長期にわたる聞き取り調査を実施した。

⁵ Sperber and Wilson(1999)

⁶ 分割出願や一部継続出願による重複した特許を統合・整理。

⁷ <http://ieeexplore.ieee.org/Xplore>

2.2 分析手法

本論では、共発明・共著の頻度で示される研究開発者間の“近さ”に注目する。また、近さの程度は、必要とされる分析精度によって共発明・共著の回数でコントロールする。その際共発明回数と共著回数は同列に扱う。分析対象者は、特許・論文合体データ中の最大連結グループ(29,421名中の26,268名)である。ちなみに、2番目、3番目、4番目に大きな連結グループは、各々22名、20名、20名となっている。

論文と特許を合体させたデータを敢えて分析する理由は、研究活動と開発活動とを同時に考慮するためである。R&D活動は、国別あるいは同一国内でも企業・組織毎にかなり異なる。そのため、論文または特許に限定すると、R&D活動の全体像を把握できない。さらに、半導体産業の場合、R&D活動が、大学・研究機関、デバイス・装置・材料メーカーがコンソーシアムを形成して実施される。しかも、有力半導体メーカーがコンソーシアムと共有特許にするのは米国では希である。したがって、両者の有機的な活動の把握には、論文と特許を同時に分析する必要がある。

筆者の知る限り、特許と論文を合体させた大規模データと聞き取り調査で得た詳細なバックグラウンド情報を用いて、企業内・企業間ネットワークを支える人的ネットワークにまで踏み込んだ分析例は殆ど存在しない。たしかに、学会レベルのデータに基づいて論文の共著関係が形作るネットワークを分析した試みは複数存在する(Newman(2010))。また、Borner(2005)のように、論文の共著関係に基づく人的関係に注目した論文もある。ただし、ネットワークのマクロ特性や生成原理、スター・プレイヤー特性などに主な関心が向いており、R&D上の戦略特性にまで分析の幅を広げてはいない。

3. 主要な分析結果

3.1 HKMG技術の概要

本節で取り上げるHigh-k/Metal Gate(HKMG)技術は、トランジスタのオン・オフに不可欠なゲート絶縁膜と呼ばれるナノメートル(百万分の1mm)級の薄膜に関連するものである。ゲート絶縁膜には、スイス生まれの天才発明者Jean Hoerniを嚆矢とするシリコン酸化膜(SiO_2)が40年以上も使われてきた。⁸

ところが、2000年前後になると、 SiO_2 を使って微細化を推し進めていくことの原理的な限界が確実となった。限界は、特に半導体製造に量産適用される線幅の微細化レベルが90nmを下回る2003年辺りから顕著になった。この時期から、従来技術に固執する限りは、いくら微細化してもトランジスタのスイッチがオフになっている時に電流が大量に漏れて高熱が発生するだけで性能が上がりはじめる。その結果、 SiO_2 に代わるHigh-k膜導入の動きが加速した。2007年に開発重視型のインテルがHKMG技術の量産適用に成功したのは、そのような流れの中での驚嘆に値する出来事であった。¹⁰

⁸ Bohr, Chau, Ghani and Mistry(2007)。

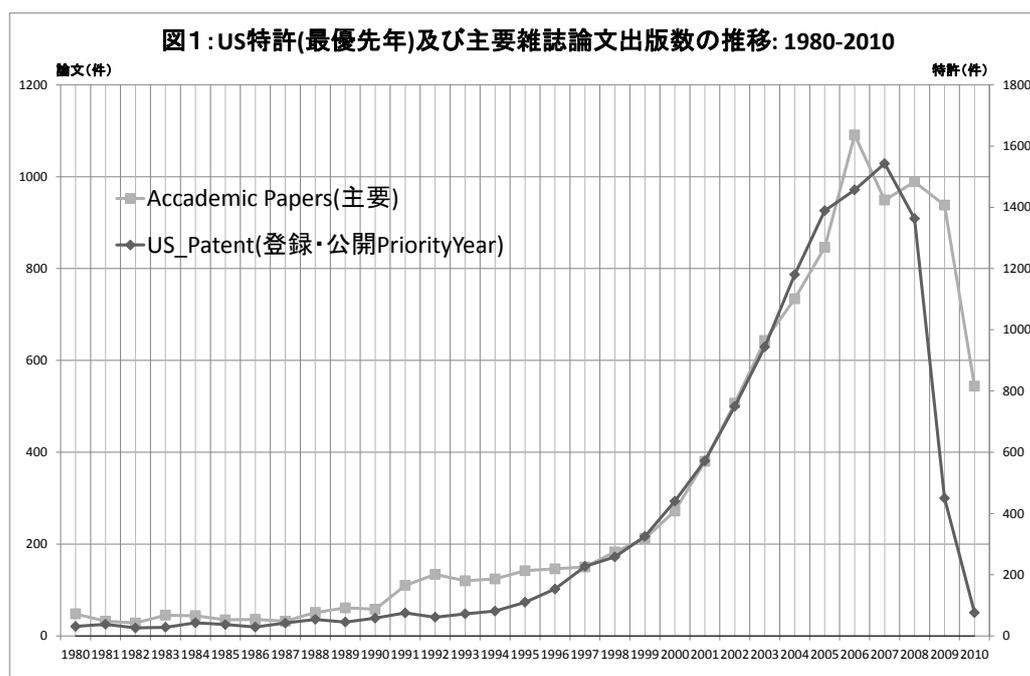
⁹ “トンネル効果 (quantum tunneling)” と呼ばれる。

¹⁰ 同社のHKMG技術は、インテル製ATOMやデスクトップ・サーバー向けのCorei7・Xeon等のマイクロプロセッサに一気に量産導入された。最近では、ATOMで携帯・スマートフォン市場への参入も試みられている。

HKMG技術の実現には、世界中の研究開発者達による20年以上の試行錯誤が繰り返されてきた。ただし、量産化で大差の先陣を切ったのは、基礎研究をも重視するIBM・東芝タイプではなく、開発重視型のインテルであった。したがって、世界の英知結集が不可欠な高難度のHKMG技術の量産実現をインテルが実現した理由を探ることは、クロック・スピードが桁違いに速い産業でのR&D活動の有り様を知る上で重要である。

3.2 HKMG研究開発：世界の中の日本勢

対象期間における特許・論文数の推移は、図1に示されている。図1における特許の年次は、該当する研究開発時期に可能な限り近づけるために最優先年(Earliest Priority Year)を用いている。この図から明らかなように、論文・特許共に1990年代末頃から急速に数が伸び始めている。実際、専門家によれば、High-k 縁膜候補として熱処理安定性に優れた材料が一気に絞り込まれる契機となったのは Hubbard and Scholm(1996)論文である。¹¹ また、その流れを確固としたのは、記録的な引用回数を誇る Wilk, Wallace, and Anthony(2000)であるという。¹² 従って、図1が示唆する「第一世代のHKMG技術が2000年前後において研究局面から開発局面に大きく相変化した」という傾向は、実際のR&D動向からも裏付けできる。



上記の相変化状況は、世界半導体ロードマップ(ITRS)報告書にも如実に反映されている。実際、1994年から2001年までに公刊された4回(94年、97年、99年、01年)の報告書での“High-k”や“Metal Gate”等のキーワード登場頻度を数えると、High-kが本格的に登場したのが1997年、High-k, Metal Gate, “Dielectric(絶縁膜)”の三つがそろって登場したのが1999年であった。

HKMG量産導入の成功の歴史を辿ると、日本人研究者達も数多くの重要な世界貢献をしてきている。そのことを物語るのが表1である。特に、2列目のGate-Last、3列目のHigh-k、5列目の歪み

¹¹ G. He その他(2011)

¹² Scoupas で3100回以上。鳥海明先生に御教示いただいた。

シリコンの三分野に日本人研究開発者達が数多く含まれている。中でも、High-k分野の鳥海明教授（東芝→東京大学/MIRAI）と歪みシリコン分野の高木信一教授（東芝→東京大学/MIRAI）を中心とするグループの活躍がめざましい。さらに、各分野で20本以上の論文・特許数を誇る日本人発明者・著者として、下記のような研究開発者達を識別できる。

表 1 : HKMG関連要素技術別トップ30名

Inventor/Author	ALD	Pat	Ron	Inventor/Author	Gate Last	Pat	Ron	Inventor/Author	Hgh-k	Pat	Ron	Inventor/Author	Metal Gate	Pat	Ron	Inventor/Author	Strained Silicon	Pat	Ron
J-H-LEE ^c	48	90	43	J-KAVALIEROS ^{a)}	49	104	7	B-H-LEE ^{b)}	164	19	163	D-L-KWONG ^{d)}	31	12	206	S-TAKAGI ^{j)}	68	14	76
G-SANDHU ^{g)}	41	59	1	M-DOCZY ^{e)}	49	98	5	J-C-LEE ^{b)}	146	14	168	M-GARDNER ^{e)}	23	87	12	E-A-FITZGERALD ^{MIT)}	53	16	42
C-C-YANG ^{b)}	38	45	2	J-BRASK ^{a)}	49	101	1	D-L-KWONG ^{d)}	142	12	206	I-LUNDSTROM ^{us)}	20	1	19	Y-C-YEO ^{d)}	50	40	104
G-DERDERIAN ^{e)}	38	42	1	R-CHAU ^{a)}	46	120	12	G-BERSUKER ⁱ⁾	131	0	140	D-M-FLEETWOOD ^{us)}	18	0	47	T-TEZUKA ^{j)}	51	14	45
J-H-KIM	33	43	24	M-METZ ^{a)}	43	88	6	R-CHOI ^{f)}	92	2	94	J-R-SCHWANK ^{us)}	18	0	25	N-SUGIYAMA ^{j)}	51	11	50
C-BASCIERI ^{d)}	32	44	1	M-DATTA ^{a)}	36	69	11	R-JAMMY ^{b)}	91	31	86	F-I-HSHIEH ^{us)}	18	18	0	J-L-HOYT ^{MIT)}	41	1	46
Y-S-KIM ^{c)}	32	66	16	V-NARAYANAN ^{b)}	29	49	36	G-GROESENEKEN ^{d)}	91	0	106	Y-C-YEO ^{d)}	18	40	104	J-D-CRESSLER ^{us) and b)}	35	0	42
G-H-CHOI ^{f)}	30	44	1	H-CHUANG ^{f)}	25	44	1	P-MAJHI ^{f)}	86	5	94	M-R-SHANEYFELT ^{us)}	17	0	24	K-RIM ^{b)}	34	25	31
A-LAVOIE ^{a)}	29	34	0	Q-XIANG ^{e)}	25	76	3	H-H-TSENG ^{us)}	81	55	41	M-F-LI ^{d)}	16	4	89	J-O-CHU ^{b)}	34	9	28
S-LOPATIN ^{e)}	29	29	0	B-DORIS ^{b)}	23	75	14	A-CHIN ^{d)}	76	2	99	S-BIESEMANS ^{d)}	16	1	87	T-MIZUNO ^{j)}	33	9	32
H-S-PARK ^{e)}	28	41	4	P-BESSER ^{f)}	22	50	3	J-H-LEE ^{b)}	74	90	43	R-CHAU ^{a)}	14	120	12	A-WEI ^{e)}	33	51	8
H-KIM ^{b)}	27	16	55	K-B-THEI ^{f)}	22	39	0	S-DeGENDT ^{d)}	73	5	80	J-FULFORD ^{e)}	14	38	4	D-A-ANTONIADIS ^{MIT)}	31	0	56
M-LESKELA ^{eu)}	26	11	25	T-SAITO ^{j)}	21	30	18	L-COLOMBO ^{k)}	70	52	32	L-F-FULLER ^{us)}	14	0	14	D-L-KWONG ^{d)}	29	12	206
K-AHN ^{d)}	25	56	0	M-BUYNOSKI ^{f)}	20	31	0	H-J-CHO ^{korea)}	70	50	41	H-Y-Yu ^{d)}	13	6	58	A-G-ONEILL ^{us)}	28	0	31
J-H-PARK	24	32	6	K-SUGURO ^{j)}	20	23	21	Y-C-YEO ^{d)}	70	40	104	D-WRISTERS ^{e)}	13	30	4	B-S-MEYERSON ^{b)}	27	1	27
M-RITALA ^{eu)}	24	11	23	C-BARNES ^{d)}	19	24	0	M-GARDNER ^{e)}	69	87	12	P-S-WINOKUR ^{us)}	13	0	13	N-BALASUBRAMANIAN ^{us)}	26	5	57
H-S-KIM ^{c)}	23	36	32	U-SHAH ^{a)}	19	38	0	A-TORIUMI ^{j)}	68	7	80	A-CHIN ^{d)}	12	2	99	B-MEINERZHAGEN ^{eu)}	25	0	27
L-FORBES ^{d)}	23	70	0	J-PAN ^{e)}	19	27	8	R-CHAU ^{a)}	65	120	12	A-L-SPEITZ	12	1	11	C-JUNGEMANN ^{eu)}	25	0	27
Y-ZHENG ^{us)}	23	22	9	E-CARTIER ^{b)}	18	21	55	M-F-LI ^{d)}	64	4	89	P-ABSIL ^{d)}	11	2	44	T-NUMATA ^{j)}	23	3	29
J-Y-KIM	22	25	10	Y-TATESHITA ^{j)}	18	3	15	S-C-CHEN ^{f)}	63	55	27	M-JURCZAK ^{d)}	11	1	44	C-W-LIU ^{d)}	23	9	34
E-MARSH ^{d)}	21	23	0	J-C-LEE ^{us)}	17	14	##	T-NABATAME ^{j)}	59	26	42	C-CABRAL ^{b)}	11	39	17	D-CHIDAMBARRAO ^{b)}	22	53	8
L-CHEN ^{us)}	21	24	6	R-JAMMY ^{b)}	17	31	86	G-LUCOVSKY ^{us)}	55	0	66	J-C-CHOU ^{TW)}	11	12	0	R-LOO ^{d)}	22	1	35
S-H-LEE ^{c)}	21	41	19	K-MATSUO ^{j)}	17	16	9	H-WATANABE ^{j)}	55	12	53	T-SKOTNICKI ^{eu)}	10	8	69	M-HORSTMANN ^{e)}	20	37	9
S-J-WON ^{c)}	21	30	1	C-CABRAL ^{b)}	16	39	17	R-DEGRAEVE ^{d)}	55	0	62	S-DELEONIBUS ^{us)}	10	6	56	S-K-BANERJEE ^{us)}	19	1	64
C-DUSSARRAT ^{us)}	20	30	0	K-NAKAJIMA ^{j)}	16	27	30	C-D-YOUNG ^{b)}	55	0	56	D-A-ANTONIADIS ^{us)}	10	0	56	S-MANTL ^{eu)}	19	5	29
C-H-Yu ^{d)}	20	53	14	H-WAKABAYASHI ^{j)}	16	6	16	B-DORIS ^{b)}	54	75	14	J-P-Lu ^{k)}	10	19	6	M-CAYMA ^{ch)}	19	5	59
C-S-HWANG ^{Korea)}	20	10	45	B-YU ^{e)}	15	72	4	S-BIESEMANS ^{d)}	54	1	87	R-S-GUPTA ^{ind)}	10	0	21	T-KAMMLER ^{eu)}	19	26	2
J-DOMINGUEZ ^{e)}	20	23	0	H-YANG ^{b)}	14	71	17	L-PANTISANO ^{d)}	54	0	60	H-Ru ^{china)}	10	0	15	Y-MORIYAMA ^{j)}	19	3	21
D-S-KIL ^{b)}	19	20	2	D-CHIDAMBARRAO ^{h)}	14	53	8	T-AOYAMA ^{j)}	53	19	41					M-L-LEE ^{MIT)}	19	1	21
K-J-LEE ^{b)}	19	35	0	V-PARUCHURI ^{b)}	14	35	8	J-KAVALIEROS ^{a)}	52	104	7								
R-DANDO ^{d)}	19	19	0					E-CARTIER ^{b)}	51	21	55								
V-DUBIN ^{eu)}	19	20	1					B-Yu ^{e)}	51	72	4								

a) インテル、b) IBM、c) Samsung、d) IMEC、e) AMD、f) TSMC、g) Micron、h) Hynix、j) 日本勢、k) TI、eu) 欧州勢、us) 米国勢、TW) 台湾、ind) インド、korea) 韓国、china) 中国を示している。

Gate-Last : 齋藤友博(東芝)、須黒恭一(東芝)

High-k : 鳥海明(東芝→東京大学/MIRAI)、生田目俊秀(日立→NIMS/MIRAI)、渡部平司(NEC→大阪大学)、青山敬幸(富士通/SELETE)又は青山知憲(東芝・SELETE)

Strained-Silicon : 高木信一(東芝→東京大学/MIRAI)、手塚勉(東芝/MIRAI)、杉山直治(東芝/MIRAI)、水野智久(東芝→神奈川大学/MIRAI)

また、統合技術としてのGate-Last技術に関して、(時系列データを辿ると)東芝の齋藤氏や須黒氏、中嶋(一明)氏が90年代後半に既に数多くの特許・論文を生み出している。しかも、彼らは、同分野でトップを占める特許重視のインテル六人衆とは異なり、論文と特許の双方で貢献している。他方、HKMG量産化に不可欠となったHelsinki工科大学発のALD分野に日本勢は登場していない。¹³ ただし、表1のALD欄最後尾に続く順位には6名いるが、そのうちの2名は東京エレクトロンと日立国際電気の研究開発者である。同じことはMetal Gate分野にも当てはまる。事実、最後尾に続く順位には13名いるが、東芝の3名の研究開発者が含まれている。このように、東芝を中心とした日本勢の守備範囲の広さは驚くほどである。

¹³ ALD装置はヘルシンキ工科大学のTuomo Suntola氏のグループによって1974年に発明された。日立中央研究所・研究開発者への聞き取りによれば、日立は、当時既にこの技術の重要性を認識し、汎用DRAMビジネス絶頂期の80年代半ばに共同開発投資を実施していた。

欧州の半導体メーカーの勢いは米・韓・台の半導体メーカーに比べると弱い、そのような状況とは対照的に、IMECや欧州諸大学・研究機関の研究開発者達の活躍はめざましい。実際、表1に20本以上の著者として現れている研究開発者は下記の通りである。

ALD : Markku Leskela及びMikko Ritala(共にHelsinki大学/フィンランド)

High-k : Guido Groeseneken (IMEC), Stefan De Gendt (IMEC), Robin Degraeve (IMEC), Serge Bisemans (IMEC), Luigi Pantisano (AT&T Bell研究所→IMEC),

Metal Gate : Ingemar Lundstrom(Linköping大学/スウェーデン)

Strained-Silicon : Anthony G. O'Neill(Newcastle大学/英国), Bernd Meinerzhagen及びChristoph Jungemann(共にBremen大学/ドイツ), Roger Loo(Siemens→IMEC)

しかも、彼らのほとんどは特許数がほぼゼロであり、やや特許数の多いフィンランド勢も論文数が特許数を遙かに超えている。この辺りにも、科学・技術分野における欧州の底力が垣間見える。なお、日本勢と異なり、欧州勢は、統合技術である表1のGate-Last分野に登場していない。この分野で欧州勢が初めて登場するのは、43位のThomas Skotnicki氏(CEA-LETI/ ST-Microelectronics、フランス勢の重鎮)とSimon Deleonibus氏(CEA-LETI/ST Microelectronics)である。彼らも、特許数に比べ圧倒的に論文数が多く、研究にも軸足を置いている人々である。欧州における有力半導体メーカーのMore-than-Moore志向が色濃く反映している。

もちろん、米国の研究開発者達のプレゼンスは圧倒的に高く、しかも、日本・欧州勢を遙かに超える形で満遍なく登場している。ただし、各分野で30本以上の特許・論文数を誇る研究者達をリストアップしてみると¹⁴、外国生まれの人々が多い。特に、High-k分野でトップを占める韓国系の人々の活躍が特筆に値する。

ALD : Gurtej S. Sandhu (Micron、インド出身), Chih-Chao Yang (IBM), Garo J. Derderian (Micron→Lockheed), Cem Basceri (Micron)

Gate-Last : Jack Kavalieros (INTEL、ギリシャ出身), Mark Doczy (INTEL、アイルランド出身), Justin Brask (INTEL), Robert Chau (INTEL), Matthew Metz (Intel), Suman Datta (INTEL→Pennsylvania State Univ、インド出身)

High-k : Jack C. Lee(テキサス大学Austin校、韓国系、香港出身), Gennadi Bersuker (Moldavian Academy of Sciences→オランダ・Leiden大学→TexasAustin校→SEMATECH、モルドバ出身), Byoung Hun Lee (SEMATECH/IBM→光州科学院(GIST)、韓国出身), Rino Choi (Daewoo Motors→UT-Austin→SEMATECH、韓国出身), Rajarao Jammy (SEMATECH/IBM、インド系), Parasant Majhi (Philips→INTEL、インド出身), Mark Gardner (AMD), Robert Chau (Intel), Gerry Lucovsky教授 (Philco→Xerox→North Carolina State Univ), Chadwin D. Young (SEMATECH), Dorris Bruce (IBM), Eduard Cartier (ABB→IBM、スイス出身), Bin Yu (AMD、中国出身)

Metal Gate : Mark Gardner(AMD)

Strained Silicon : Eugene A. Fitzgerald教(AT&T-Bell研究所→MIT), Judy L. Hoyt (MIT), John D. Cressler (IBM→Auburn大学→Georgina工科大学), Dimitri A. Antoniadis (MIT、ギリシャ出身), Kern Rim (IBM), Jack O. Chu (IBM), Andy Wei (AMD)

表1によれば、インテルHKMG開発の重鎮でRobert Chau氏は、Gate-Lastで46回、High-kで65回、Metal-Gateで14回登場している。実際、本論のデータでは、同氏のHKMG関連特許数が世界一である。しかも、それらの特許のほとんどが2003年以降のものである。他方、彼の論文は2003年に90nmでイ

¹⁴ 米国の場合、数が多いので、30本以上に限定した。

ンテルが歪みシリコンを量産導入した年次と2007年にHKMGを量産実現した年次のものがほとんどである。同じ構図は、Parasant Majhi氏(Philips→Intel/2003)を除く表1の全てのインテル関係者に当てはまる。しかも、インテルが優勢な分野は、量産に直結した統合技術としてのGate-Last技術に限られている。さらに、表2に示されるように、同社の公開・登録特許のほとんど(90%)が量産直前の2002年～2008年である。¹⁵ このことから、インテルでは極めて社内囲い込み型のR&Dスタイルが採用されているように見える。ところが、後述のように、インテルは、世界の英知を徹底利用しながら自社発のIPは極力囲い込むという同社特有のR&D戦略を採用している。

表2 企業別公開・登録特許件数の推移

US_Patent(登録・公開優先年)	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	00	01	02	03	04	05	06	07	08	09	10	
IBM	1099	10	6	3	4	2	2	5	1	4	2	2	3	2	4	4	2	3	9	4	13	27	48	39	66	67	95	138	211	238	68	17
INTEL	433	1																3	3	3	10	8	6	23	48	70	68	75	48	52	10	5
SAMSUNG	856										2	10	7	3	3	7	4	15	15	14	9	33	50	91	139	146	141	107	53	7		
TSMC	697										1	1	2			1	9	6	4	18	11	18	24	67	116	106	90	91	70	58	4	
TOSHIBA	484	1	1	2	4		1	3	3	1	5	2	3	4	7	3	7	15	15	18	23	15	30	39	49	64	60	55	47	7		
MATSUSHITA	180								1	2	3	2	5	1	3	3	2	2	6	6	14	9	8	20	13	24	14	24	18			

インテルと好対照を示すのがIBMである。表1に示されているように、IBMの研究者達は、全ての分野で上位にいる。そして、R&Dで同社と不可分な協力関係にあるAMD(Advanced Micro Devices)の研究開発者達を加えると、Gate-Last分野でこそインテルの後塵を拝しているものの、ALDや歪みシリコンの分野を含む全てで上位を占めている。しかも、SEMATECHを主導してきたRajarao Jammy氏(副社長、IBMから出向)やByoung Hun Lee氏の例が顕著に示すように、彼らは、論文数が特許数を遙かに上回っている。この点は、IBMの若きリーダーVijay Narayanan氏やAlbany Nanotech Centerの中心人物Bruce Doris氏等の量産に近い研究開発者達にも当てはまる。この意味で、IBMのスタイルは、研究・開発分離型のインテルと異なり、日本勢の研究・開発統合型にかなり近い。

さらに、North Carolina州立大学のGerry Lucovsky教授に代表される多くの高名教授陣は、欧州勢と同じく特許数がほぼゼロであり、日本勢以上に研究主体である。また、特許数の多いJack C. Lee教授やEugene E. Fitzgerald教授も圧倒的に論文が多い。なお、後者のFitzgerald教授は、歪みシリコン技術に関する必須特許を持つ世界的ベンチャー企業Amberwave Systemsの創業者でもあり、インテルやTSMCを含む有力半導体メーカーにライセンス供与している。

次に韓国勢と台湾勢を見てみよう。Samsungは、ALD分野で突出している。ALD装置は、ゲート絶縁膜よりもかなり早くからDRAMのキャパシタ(蓄電器)用に量産で使われてきた。その点は、表1のALD分野にDRAMメーカーであるSamsung(8名)、Micron(7名)、Hynix(2名)の研究開発者達が数多く含まれることから確認できる。しかも、彼らは、Cheol Seong Hwang教授(Samsung→ソウル国立大学)を除くと、論文数に比べ特許数が格段に多い。ALD分野以外では、High-k分野の1名が登場するだけである。TSMCの場合、ALDに1名、Gate-Lastに2名、High-kに1名が登場している。そして、これらの研究開発者も、論文数に比べて特許数が格段に多い。とすると、SamsungやTSMCでは、どのようにして基礎・応用研究との連繋が図られているのだろうか？

¹⁵ Chipworks のインテル流第一世代HKMG プロセスの解説によれば、ほぼ全てのGate-Last 関連重要特許が2003年末に出願されている(<http://www.chipworks.com/ja/technical-competitive-analysis/resources/-/2007/10/intel-45-nm-process-goes-full-circle/>)。

上記に問いに関連して興味深いのが、表1のDim-Lee Kwong教授を中核としたNUS(シンガポール国立大学)勢である。彼らは、High-k、Metal-Gate、歪みシリコンの三つの分野でかなり目立っている。20回以上の特許・論文で登場しているのは、台湾出身者を中核とする下記の人々である。

High-k及びMeta Gate : Dim-Lee Kwong(UT-Austin校→NUS(Singapore国立大学)、台湾出身)、Albert Chin(ベル研究所→GE→Texas Instruments(TI)→台湾国立交通大学、その間2002~2005年はNUS客員教授、台湾出身)、Yee-Chia Yeo(British Telecom→TSMC→NUS)、Ming-Fu Li(Chinese Academy of Science→NUS、中国出身)

Strained Silicon: Narayanan Balasubramanian (Chartered Semiconductor→NUS、インド出身)、Chee Wee Liu(台湾国立大学、台湾出身)

上記のNUS勢には、米国の大学・研究機関で活躍してきた人々も多い。特に、Kwong教授は、J. C. Lee教授と共に、HKMG分野で世界的に名高い。また、表1での登場はないが、ネットワーク分析結果を利用すると、台湾TSMCは、高名なTso-Ping Ma教授(IBM→Yale大学、台湾出身)やChenming Hu教授(UC-Barkley、TSMC-CTO兼務(2001-2004)、台湾出身)などと緊密な共同研究を行っている。同じことは、Samsungと緊密な協力関係にあるJack C. Lee教授やSEMATECHのByoung Hun Lee氏やRino Choi氏にも言える。したがって、韓国・台湾勢のR&Dシステムは、SamsungやTSMCといった特定企業のR&D状況を見ているだけでは、“木を見て森を見ず”に陥ってしまう。

3.3 HKMG研究開発：日本勢のポジショニング

表1で確認したように、日本勢のプレゼンスは、個々の研究開発者のレベルでは相当に高い。ただし、日本勢を世界のR&Dネットワークの中で位置づけると、その孤立度の高さが顕著に浮き出してくる。この点を“丸見え化”したのが図2である。この図には、共著関係によって直接・間接に結びついている26,268名が、ネットワーク内でPageRank中心性¹⁶が高いほど大きい○で描かれている。図中では、同姓同名による名寄せ(Name-Matching)のミスマッチを少なくするため、同一の発明者・著者の間に3回以上の共発明・共著があるときだけ配線されている。ただし、全体図を描く際には、1回以上の共発明・共著関係を考慮している。図中に誰とも配線されない孤立無援の人々が多いのは、そのためである。

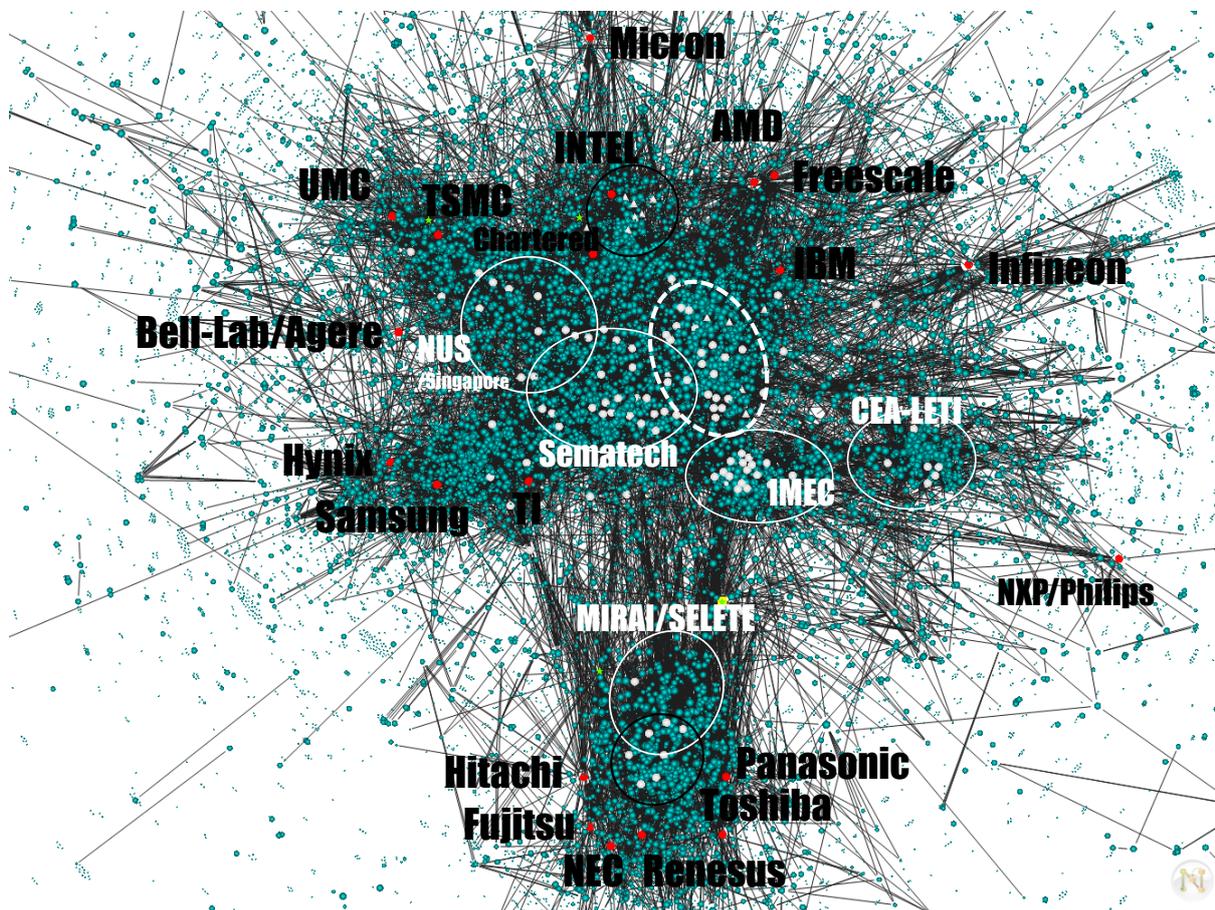
描画の際には、可視化法としてよく知られるFruchterman Reingold(FR)法を使用している。FR法には、a)配線の交叉回数の最小化、b)ノード(ここでは発明者・著者)間配線の等長化・最短化、c)全体ネットワークの対称化、といった基本ルールがある。そのため、自動的に共発明・共著頻度の多い人々及び彼らと緊密度の高い人々がより中心に、緊密度の低い人々が中央から出た放射線上のより周辺に配置される。したがって、配線が前後左右に激しく交叉する部分を除けば、近くに配置されていても、同一放射線上になければ緊密度は低い。さらに、他の条件を一定とすると、共発明・共著関係が薄いほど発明者・著者間の配線長が長くなる。

図2では、PageRank中心性でトップの100名に入っている人々が白い大きな○で示されている。また、この100名には入っていないが、特許・論文の数の多さでトップ100名に入っている19名(残り

¹⁶ 多くの人々と共発明・共著関係にあるだけでなく、ネットワーク全体の構成上の重要性を示す指標。詳しくは、Newman(2010)第7章を参照されたい。

の91名は白い○)も白い△で示されている。黒い●は、PageRank中心性の高い特許権者としての半導体メーカー上位20社である。

図2：世界のR&Dネットワーク：1980-2010年¹⁷



白い大きな○が集中しているのは、中央の米国SEMATECHと中央右下のベルギーIMECの二つのR&Dコンソーシアムである。この二つの集団に日本中心のR&DコンソーシアムMIRAI/SELETE、先のDim-Lee Kwong教授を中核とするシンガポール国立大学(NUS)、フランス中心のR&DコンソーシアムCEA-LETIが続いている。これらのグループに属している人々は、特許数に比べて論文数が圧倒的に多い。¹⁸

半導体メーカーの中では、中央やや右よりの（特に白い点線の楕円内に居る）IBMの研究開発者にずば抜けて大きな白い○が多い。彼らには、表1に登場のV. Narayanan氏、E. Cartier氏、D. Bruce氏等々の重鎮が数多く含まれている。しかも、先のR. Jammy氏やB. H. Lee氏等のIBM出向者がSEMATECHに白い○で含まれるので、まさにIBMが世界をリードしている。

他方、圧倒的に白い△が多いのは、真ん中上方のインテルである。彼らは、先に紹介した表1

¹⁷ ネットワーク生成の様子をアニメ化した動態分析によれば、図2のネットワークは、2000年前後から急速に形成されてきた。それ以前は、インテルやIMEC、韓国勢や台湾勢の存在はかなり薄かった。ところが、この時期に、彼らが大挙して参入、アッという間に図2のネットワークが出現した。

¹⁸ この点は、ネットワークの全体構造が、発明者間ではなく著者間のネットワーク状況によってより大きく規定されていることを示唆している。論文での研究開発者間の連結度が特許に比べてかなりが高い(84%対66%)からである。

のインテル六人衆(Chau氏：特許数で世界1位, Kabalieros氏：同2位, Brask氏：同3位, Doczy氏：同4位, Metz氏：同6位, Datta氏：同13位)である。しかも、彼らの圧倒的な数の特許は、2002年以降に出されている。なお、彼らのPageRank中心性は、共発明者が自社内に限られているため100位外である。また、インテルでPageRankが100位以内の人々は、P. Majhi氏(58位)と後述のW. Tsai氏(64位)のみである。

図2によれば、SEMATECH-IBMを中心としたネットワークの中核部分は、3回以上の共発明・共著関係で配線するという厳しいルールにもかかわらず、依然として配線密度がかなり濃い。その様子は、Samsung, TSMC, NUS, IMECのみならずCEA-LETIにまで拡大しても当てはまる。その様子とは対照的に、日本勢の中核は、このグループの真下にまるで離れ小島のように位置している。そして、“離れ小島”¹⁹内での配線密度はかなり濃い、上記中核グループまでの配線長はかなり長く、しかも配線密度が薄いため下地が一部見えている。

中核グループとの日本勢との配線密度の薄さは、配線ルールを共発明・共著4回以上にするるとさらに鮮明になる。実際、この部分で比較的配線密度が濃いのは、パナソニックとIMECを結ぶ配線だけになる。しかも、紙幅の都合で図示できないが、この部分をズームインすると、ほとんどがパナソニックの丹羽正昭氏(現筑波大学教授)と三橋理一郎氏だけで配線されている。言い換えれば、彼らとの配線を切断すると日本と世界を繋ぐ濃い配線部分がほぼ消失してしまう。

もちろん、日本の孤立度が高いことに関する善し悪しの判断はなかなか難しい。歴史の常として、偉大な独創的アイデアの多くが辺境から生まれてくるからである。この傾向は、特に、市場化をあまり意識しない好奇心駆動型の研究では顕著である。日本の世界に冠たる独自性も、地域的・言語的・文化的な辺境性に起因することは間違いない。ただし、特に開発段階での孤立化は、“サイエンス・イノベーション”発現のスピードを律速させる。そうなると、世界のR&Dシステム内での情報の転送速度や応答速度がなかなか上がらず、テクノロジー・マーケットのクロック・スピードになかなかついて行けなくなってしまう筈である。

3.4 HKMG研究開発：R&Dシステムの国際比較

この節では、日本勢のR&Dネットワークの特徴、特に“離れ小島化”の様子を海外の同業他社と比較する形で“丸見え化”するために、図2のズームイン・ズームアウトを繰り返す方法で、特定の半導体メーカー毎にそのネットワーク特性を明らかにする。ネットワーク分析の優れた可視化能力は、このような“Google Earth”的な使い方をすることによってさらに我々を異次元に誘う。ただし、ズームインすればするほど、名寄せエラーがもたらす限界も赤裸々になる。特に、論文データの場合、姓・名の“名”の部分がイニシャル化されているため、この限界が露呈しやすい。本論では、このような名寄せエラーを克服するために様々な背景情報を利用し、可視化技術としてのネットワーク分析の潜在能力を引き出してみたい。

<インテル> 先の表1に関連して説明したように、特許・論文データでインテルが優勢な分野は、量産に直結した統合技術としてのGate-Last技術に限られている。ただし、インテルとはいえ、HKMG

¹⁹ WIPO(2010)の指摘するように、日本勢の孤立度の高さは、半導体産業だけに限った現象ではない。この資料の所在は、斉藤ウィレム浩幸氏に御指摘いただいた。

という高難度なプロセス技術を旧来の囲い込み型開発方式で短期間に実現できるはずはない。それでは、インテルのR&Dシステムとはどのようなものだろうか？

この点を知るためには、ネットワーク内でインテルのR&Dグループを識別する必要がある。本論では、そのために、まず、インテルを特許権者とする特許に名を連ねているグループ(226名)を特定する。次に、この226名の中から少なくとも2回以上登場している人達だけ(172名)を選択する。この172名とさらに共発明・共著関係にある人々を選択する。その際に、名寄せエラーを避けるため、同一人物と3回以上の共発明・共著関係にある人々だけを選び出して配線する。こうすれば、開発→研究と遡る形で同社のR&Dに携わってきた人々を識別できる。その結果、476名が選択されることになった。図3は、これらの人々が醸し出したネットワーク構造を示している。

図3：インテルのR&Dネットワーク

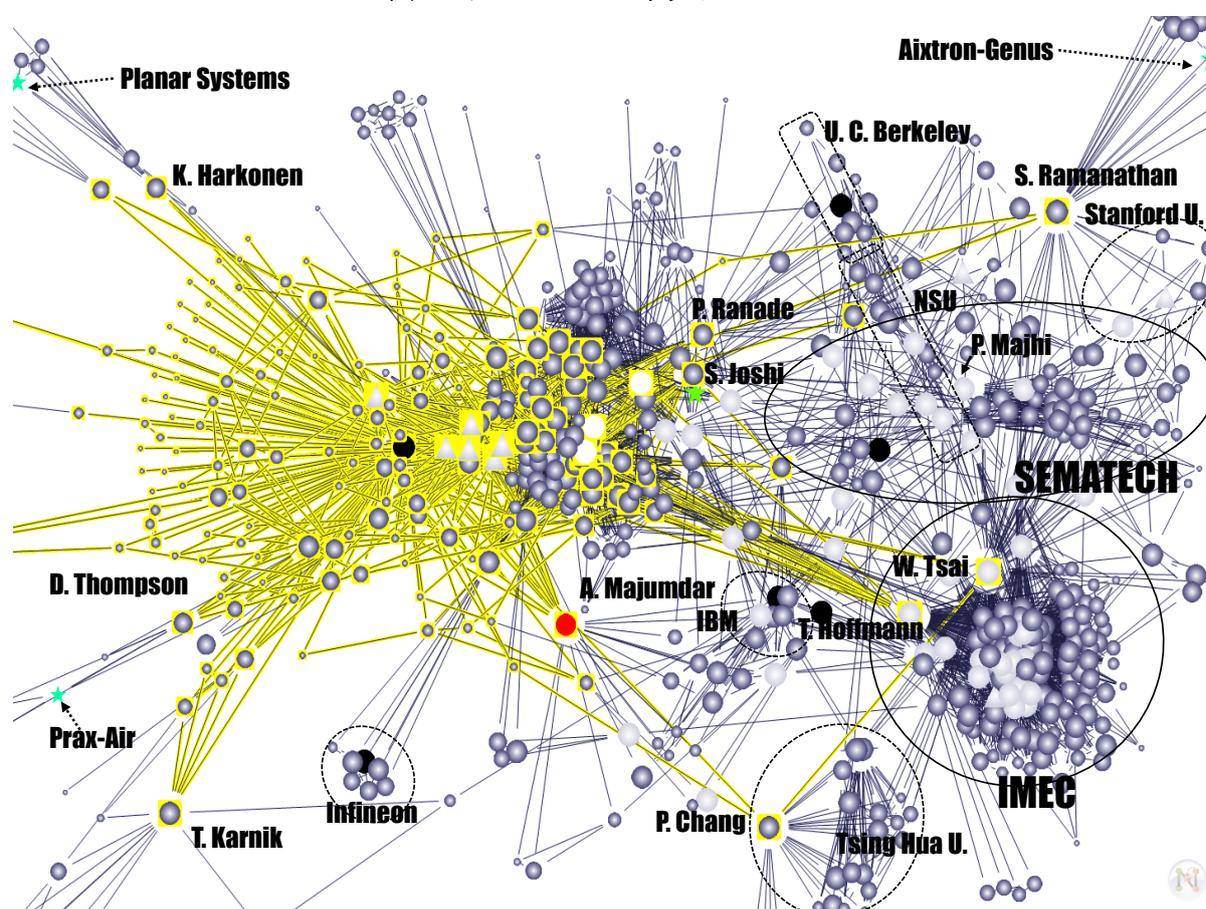


図3の左半分で黄色でハイライトされている人々が、インテル名で特許を公開・登録している人々である。これらの人々は、大きくは、インテル六人衆(□の中の△印)に代表される特許中心の人々と、彼らの右の白い三連の○(□の中の○印)が示すMark Bohr、Kizard Mistry氏(DEC→インテル、インド出身)とTahir Ghani氏(パキスタン出身)を中心とする応用研究のグループに分かれる。Bohr氏、Mistry氏、Ghani氏の特許は、インテルがHKMG技術実現の最大功労者として讃えるBohr, Chau, Ghani, and Mistry (2007)による。

ちなみに、Bohr、Ghani、Mistry 3氏の特許・論文比率は、各々(12, 15)、(4, 18)、(3, 17)である。しかも、三氏の論文・特許は共に毎年高々1本であり、論文数も歪みシリコン量産成功の翌年の

2004年とHKMG量産成功の翌年の2008年に突出している。言い換えれば、彼らの論文は基本的に該当技術の量産成功後に限られている。したがって、インテル本丸では量産志向の囲い込み型応用研究が、R. Chau氏を中核とした開発部隊と密着して行われていると判断される。

ただし、上記の囲い込み型のR&Dは、同社の極めて開放的なR&Dシステムによって強力に補完されている。その中心的な役割を果たしているのが図の右半分に明示されているWilman Tsai氏²⁰ (Varian→Air Products→Intel/90年代後半)とParasant Majhi氏 (Philips→Intel/2003年)、Thomas Hoffmann氏 (Intel→IMEC/2005年)である。彼らによって、世界のR&D活動の詳細が本丸のR&D部隊に迅速に伝わる仕組みが形成されている。ちなみに、三氏と直接に共発明・共著関係にある人々の(3本以上で)共発明・共著関係にある人々まで辿ると実に1128名になる。後述の日本勢と比較すると驚異的な数値である。

また、他の有力メーカーではなかなか目にしないスタイルであるが、本丸で行われる開発段階でも、装置・材料メーカーの研究開発者を自社特許の共発明者としている。具体的には、左端上下のPlanar Systems (ALD装置/フィンランド)、PraxAir (有機金属材料/米国)の2社である。²¹ 加えて、図3には表1のShriram Ramanathan氏を媒介としたMcIntyre・Nishi (日本出身)・Saraswat (インド出身)のStanford大学勢²²、前述のKwong教授を中核とするシンガポール国立大学、UC-BerkeleyのChenming Hu教授²³といったHKMGで高名な教授陣を要する大学とのコラボも示されている。極めて閉鎖的な研究・開発システムと極めて開放的なネットワークを併せ持つインテル特有のR&D戦略が垣間見える。²⁴

<IBM> インテルの図3を作成した要領でIBMのR&Dネットワークを導出したのが図4である。研究開発陣は、インテルの二倍強(1,200名)になる。上半分の黄色でハイライトされた部分を含む円内に居るのがIBM特許を公開・登録している人々である。この円内の左下部に白色の円内で囲まれた領域内の人々は、ほぼIBMワトソン研究所の面々である。彼らが、特許とは縁遠い様子が分かる。

ハイライトされている人々は、大きな円内の左下のR. Jammy氏を間に挟む格好で、IBM本丸から離れて左下に広がっている最大集団SEMATECH内にもいる。ここには、IBMからの出向組B. H. Lee氏やSEMATECHとSamsungに共に近いJ. C. Lee教授などが含まれている。この図から、IBMの研究開発システムが、IBM本体とSEMATECHによって構成されていることがわかる。

たしかに、本体から離れた中央下にも大きな集団がある。この集団は、IMECとNUSから成るが、両者はほぼ一体となって描かれている。ただし、NUSの部分に繋がるIBMの人々を辿ると、NUSとの繋がりが、主に名寄せエラーによるものであることが判明する。²⁵ 加えて、IBMとIMECの関係は、IMEC

²⁰ 同氏は世界の研究開発プログラムのインテル統括責任者。

²¹ Karli Harkonen氏とDavid Thomson氏。なお、右端上のAixtron(ALD装置)は、同社のSasangan Ramanathan氏とインテルのShriram Ramanathan氏との名寄せエラー。

²² Ramanathan氏は、彼らの元Phdの学生。

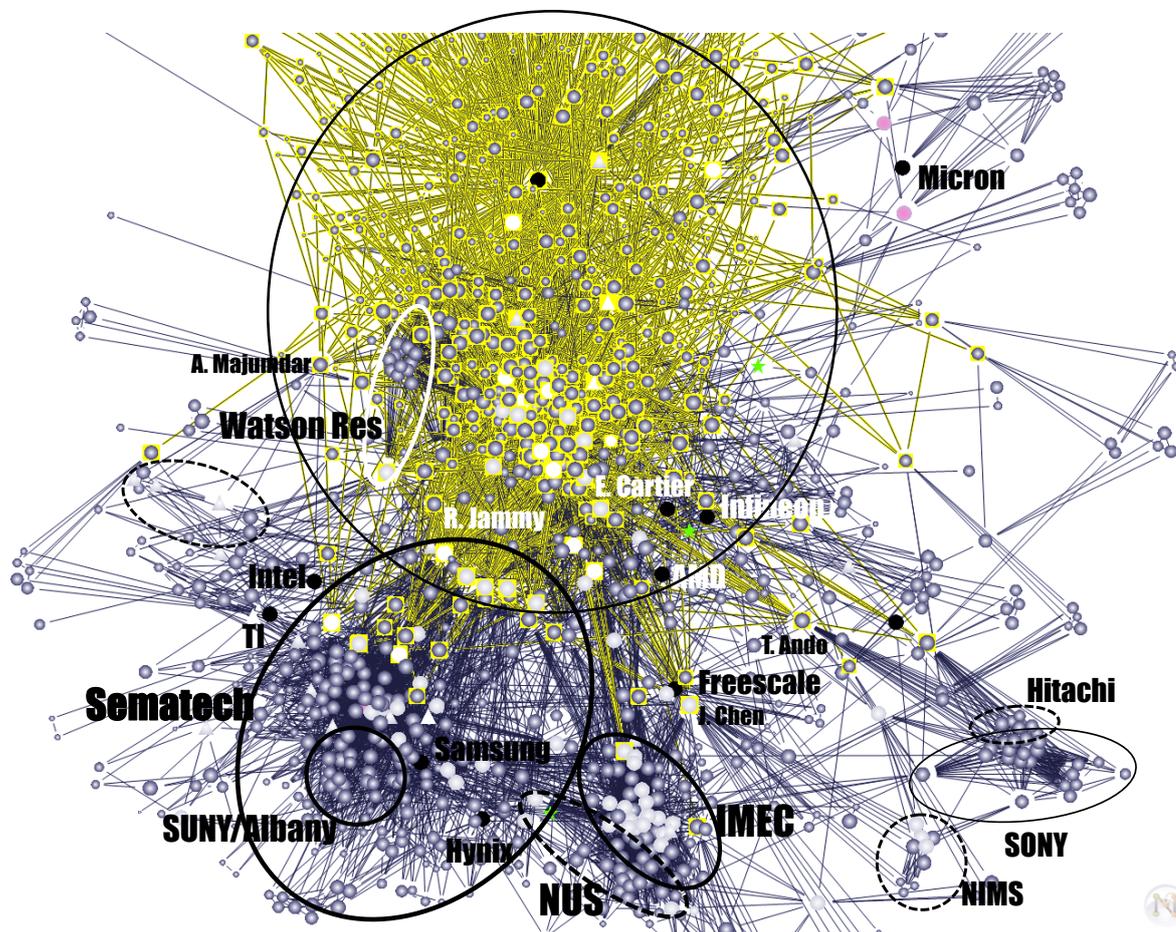
²³ この部分は、Chenming Hu教授の元Ph.D.学生Pushkar Ranade氏との関係による。NUS、Stanford大学との関係には、W. Tsai氏やMajhi氏が共著者として直接関わっている。なお、図中のInfineon、Tsing Hua大学(台湾)は、各々B. Sell氏の労働移動、P. Chang氏の名寄せエラー。

²⁴ 後者に関しては、Chesbrough (2003)に詳しい。

²⁵ Hong Yu Yu教授 (IMEC→NUS/2008)とIBMのHaining Yang氏は共発明・共著の事実がない。ただし、同教授と北京大学のH. S. Yang氏に共著関係があり“虚像”発生。さらにJ. Chen氏(TIからのIMEC出向者)がSELETEの奈良安雄氏(富士通)や関口隆史(NIMS)等々と結びついているが、これは物質材料機構(NIMS)のJun Chen氏との名寄

が急速に伸び始めた2003年以降はかなり薄い。その頃までは、IBMのEduard Cartier氏（図中に明記）とIMEC側の研究者の間で数多くの共著論文が生み出されていた。ところが、その後はほとんど途絶えている。したがって、IBMとIMECの間に以前の緊密な関係は今はない。²⁶

図4：IBMのR&Dネットワーク



上記の背景には、IBMのR&D戦略の大きな変化がある。事実、2002年に“Common Platform”と呼ばれるIBM主導の開発・設計・製造コンソーシアムが生まれた。²⁷ さらに、New York州の肝いりで2005年にNew York州立大学Albany校にIBMを核としたCenter for Semiconductor Research (CSR)が設立、その後SEMATECH中核部隊も当地に移動して、IMECに勝るとも劣らない産学連繫拠点ができあがっている。その様子は、図4のSEMATECH内下部に重なっているSerge Oktyabrsky 教授(ロシア出身)を中核としたSUNY-Albany集団の登場に現れている。さらに、図4には“Common Platform Partners”であるAMD、Chartered、Infineon、Samsungも含まれているし、東芝やSONY(2008年IBM陣営離脱)²⁸の研究開発者も登場している。

なお、TI、Intel、Hynix、日立、物質材料機構（NIMS）も登場しているが、TIはSEMATECHで

セエラー。

²⁶ ただし、2007年以降IBMのChristian Lavoie氏とIMEC中核研究者達との共著関係が生まれている。

²⁷ 当初は、GlobalFoundries(当時AMD)とSamsungだけの参加。その後、Infineon(2003年参加)、Freescall(2007年参加)、STMicroelectronics(2007年参加)、東芝(2007年参加)、ルネサス(2008年参加)。

²⁸ IBMのDureseti Chidambarrao氏と東芝アメリカのT. Sato氏、SONYの研究開発者達とIBM中核とを繋ぐ安藤崇志氏(SONY→IBM/2008年)など。

のコラボレーション、Intelはインテル六人衆(図中にChau、Kavalieros、Datta、Braskの四氏登場)と関係の深かったAmlan Majumdar氏の労働移動(Intel→IBM/2006年)により登場している。HynixもHeung Jae Chog氏(Hynix→IBM)の労働移動である。日立、NIMSの登場は、名寄せエラーである。²⁹

<Samsung> SamsungのR&Dネットワーク(1008名)は、図5に示されている。大きなだ円内で黄色にハイライトされている人々がSamsungを特許権者として2回以上特許を書いている人達である。だ円内の大きな白〇の人達は、表1に登場している韓国勢である。なお、韓国名の場合、同姓同名者が多い、短い名字が多い、中国系との識別が難しいなどの影響で、名寄せエラーが特に多くなる。例えば、図5で破線のだ円で囲まれた箇所(富士通、Florida大学、Intel、NUS、TSMC)は、バックグラウンド情報を活用すると、全て名寄せエラーであることが分かる。³⁰

図5：SamsungのR&Dネットワーク

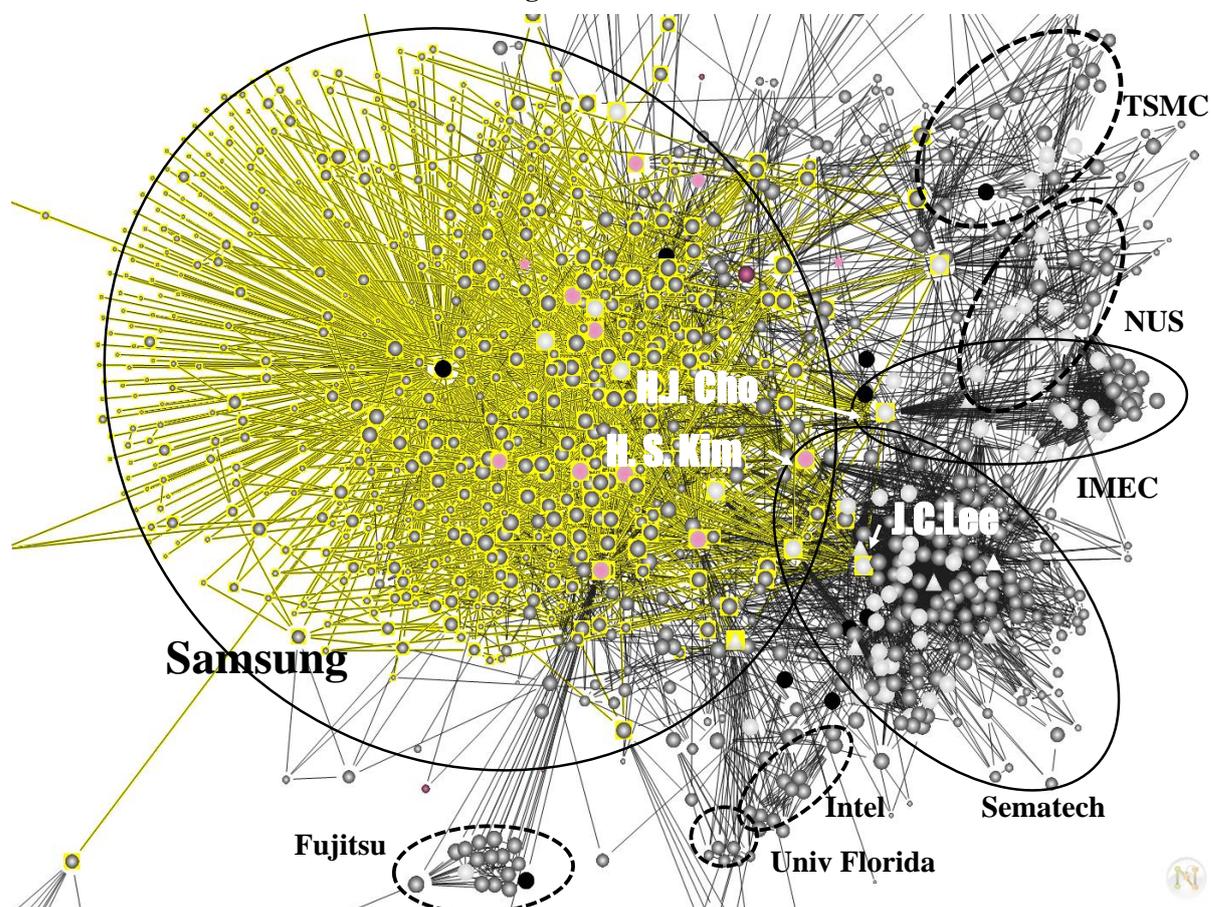


図5から直ちに分かることは、緊密なSEMATECHとの結びつきである。特に、図中に明記されているSEMATECHとの関係も深いJack C. Lee教授(Texas大学Austin校、前述)³¹を介しての関係が緊密である。図5の中で同教授との直接の共著・共発明関係を辿ると、表1のR. Jammy氏 (SEMATECH/IBM)、

²⁹ Hynix と Samsung の名寄せエラーが一件あり。日立への配線は、IBM と密接な東芝の T. Sato 氏との名寄せエラー。NIMS への配線は、IMEC と NIMS の J. Chen 氏との名寄せエラー。

³⁰ 例えば、図中の Fujitsu は、同研究所の金 永ソク Kim Y. S. と Samsung の Kim, Young-Sun との取り違えによる。さらに、Samsung 内には論文の多い Yun-Seok Kim 氏もいるが両氏は識別はされていない。

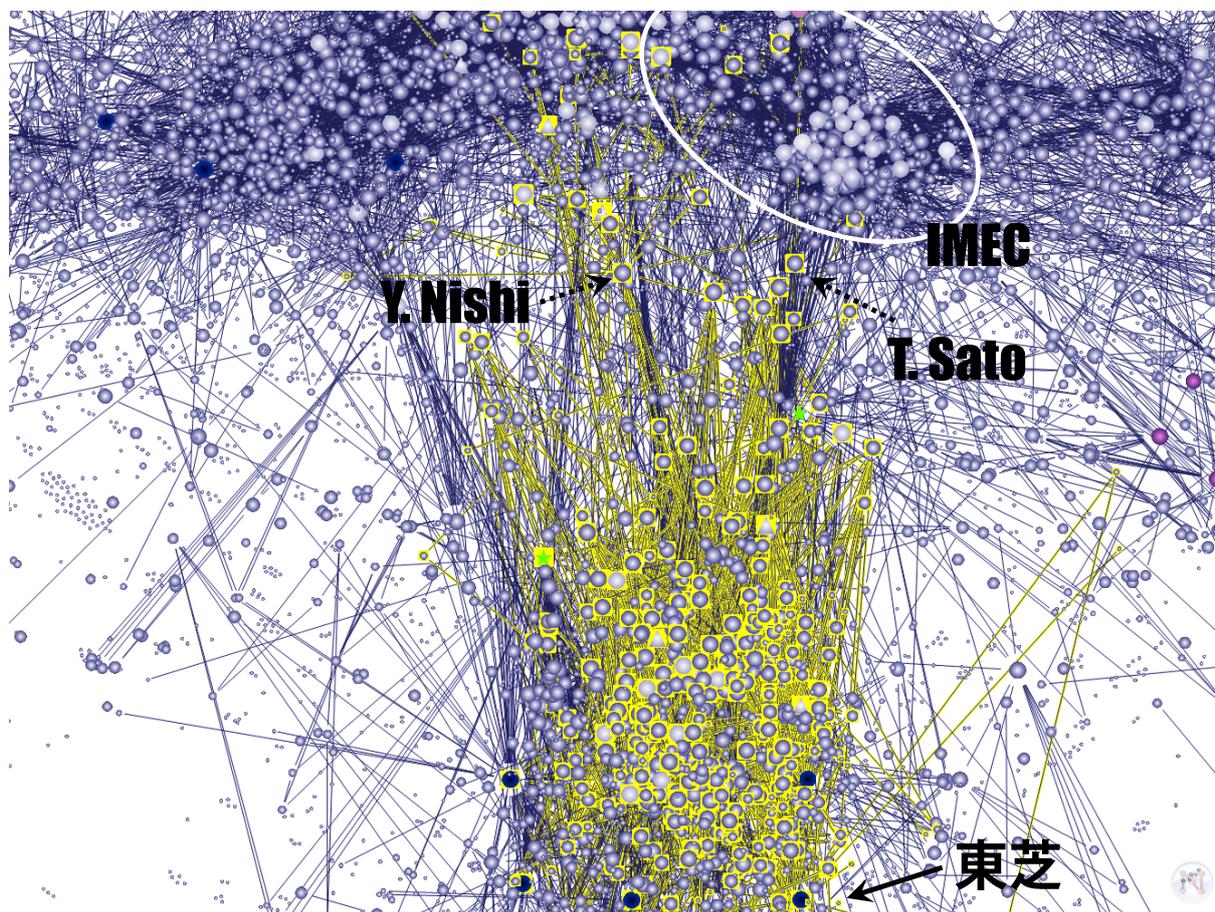
³¹ 図中で、Jack C Lee 教授も Samsung を特許権者の特許を出していることになっているが該当特許はない。Lee, Jae-cheol 氏又は Lee, Jong-cheol 氏の特許である。

B. H. Lee氏(SEMATECH/ IBM)やR. Choi氏(SEMATECH)などに代表されるSEMATECHのほとんどが含まれる。同教授とSamsung側を結んでいるのが図中のH. S. Kim (Hyoung-Sub Kim)氏であり、共著論文の数や発表時期で同教授の元Ph.D.学生だと分かる。

図5によれば、SamsungとIMECとの関係も、同じく表1に登場しているS. Biesemans氏(IBM→IMEC/2003 : IMEC副社長)等に代表されるIMECの人々とかなり緊密である。IMECとSamsungを結ぶ中心人物は、図中のH.J. Cho (Hag-Ju Cho : IMEC出向者)氏であり、共著論文の数や発表時期から、彼もJack C. Lee教授の元学生である。IMEC発論文の急増は2002年以降であるから、両者の協力関係もかなり新しい。

以上のように、Samsungの研究開発体制は、表1の印象とはかなり異なり、SEMATECH/IBMを中心とした米国勢や欧州IMECとの緊密な協調・協力関係により、開発領域のみならず研究領域にもかなり踏み込んだものとなっている。

図6：東芝のR&Dネットワーク(一部)

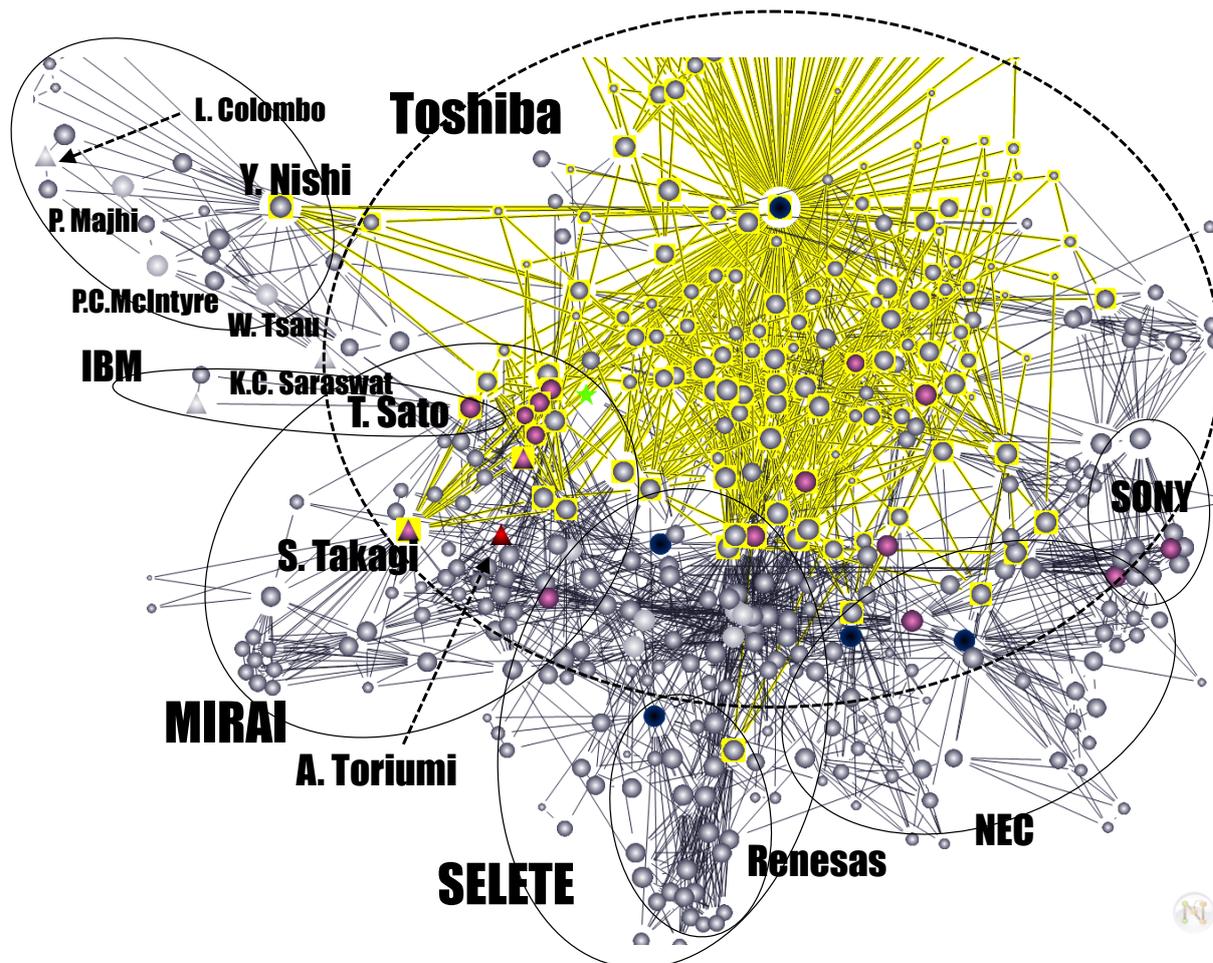


<東芝> 上記の三社と比較した東芝の状況は、図2の日本勢にズームインして得られる“丸見え化”された図6が鮮明に伝えている。図の作成要領は、これまでの3社の時と同様に、東芝を特許権者とする特許を2本以上公開・登録している人々(184名)をまず選択し、彼らと3回以上共発明・共著している人々(434名)を抽出している。図中の黄色にハイライトされている部分が右下の東芝を起点

として配線されたネットワークである。

このネットワークの最先端部分で上方に配線しているのが西義雄教授(東芝→TI→Stanford Univ/2002)である。具体的には、Stanford UnivのPaul C. McIntyre教授・Krishna C. Saraswat教授、先のW.Tsai氏、P. Majhi氏、Luigi Colombo氏 (TI) 等の重鎮への配線である。図から一目瞭然のように、同教授を除くと3本以上の共発明・共著関係が上方の米国勢や右方の欧州勢に伸びている人々はほとんどいない。

図7：東芝のR&Dネットワーク



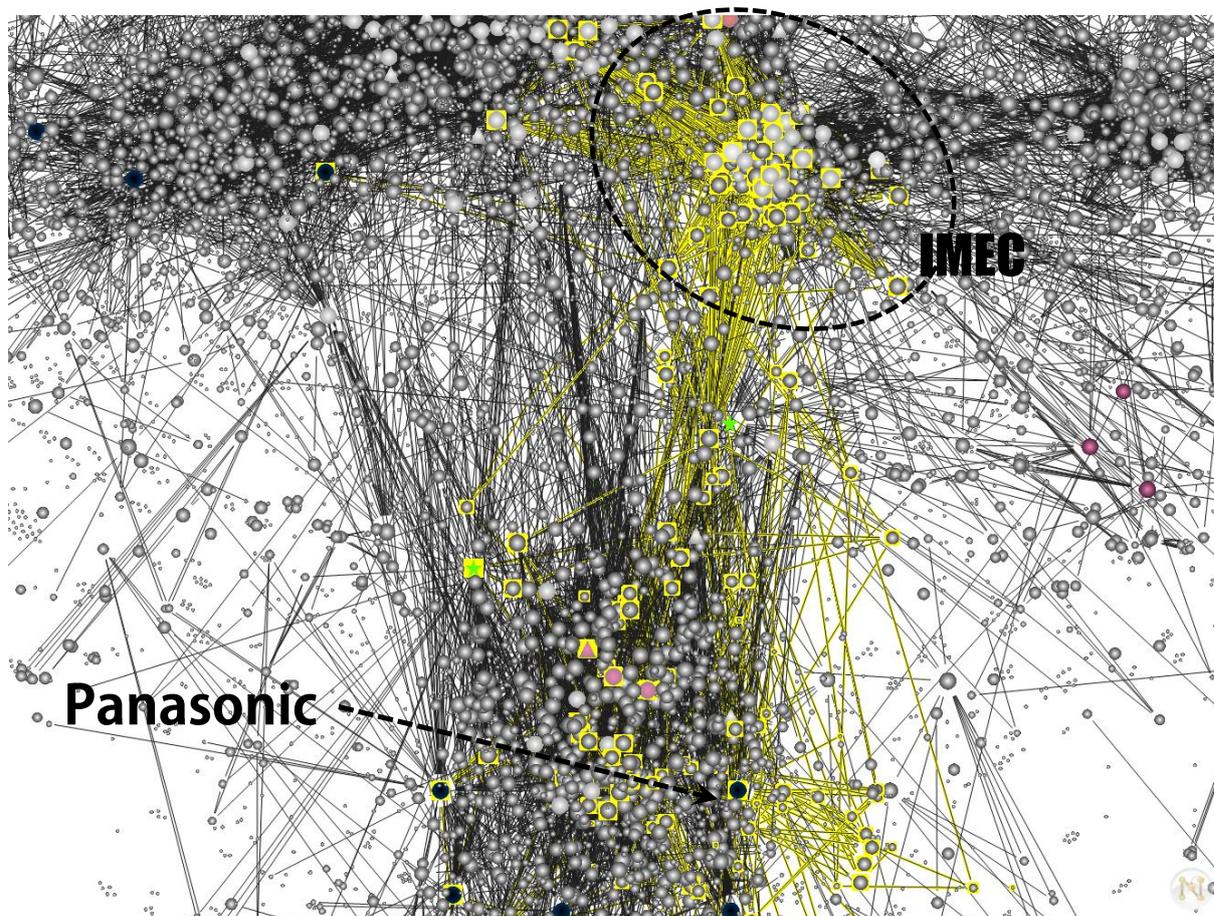
ただし、この西教授を経由した配線には少し注意が必要である。東芝・西義史氏との名寄せエラーがあるためである。他方、西教授と入沢寿史氏 (MIRAI/東芝)、先のT. Hoffmann氏(Intel→IMEC) 等との共著論文が2回あるので配線は実際に存在している。なお、図6に明示されている東芝アメリカのT. Sato氏と表1にも登場しているIBMのDureseti Chidambarao氏やS. Panda氏との配線があるが、こちらも薄い。

以上の点を確認するために、東芝のR&Dネットワーク内を先の3社と同じ要領でズームインしてみよう (図7)。小豆色の人々は、表1に登場している日本人の方々 (T. Sato氏をのぞく) である。図の右端のSONYやNEC等との配線には名寄せエラーが複数発生しているが、図5のSamsungに比べエラーは格段に少ない。この図からも、東芝のシステムが、日本勢を中心としたMIRAIとSELETEにかなり依存していたことを確認できる。海外との繋がり、前述の通り、左上端のStanford大学・西

教授グループとの配線、その下に示されている東芝アメリカのT. Sato氏とIBMの配線だけである。したがって、相当に国内勢中心のシステムだと分かる。

なお、内向き志向の強い多くの日本勢の中で、Panasonic半導体の2000年初頭以降のR&Dシステムは異彩を放っている。しかも、昨年10月に日本勢では初めて、しかも、インテルとは異なるGate-Firstと呼ばれる従来型の製造プロセスと親和性の高い技術で、同社ブルーレイ・ディスク用半導体の量産を開始した。³²そして、同社のR&Dシステム(181名)の一翼を成すのが、MIRAI/SELETEに軸足を残しつつ実施されているIMECとの緊密なR&Dコラボレーションである。その様子は図8に“丸見え化”されている。

図8：Panasonic半導体のR&Dネットワーク



4. 結びに代えて

5社のR&Dネットワーク図を情報通信回路として見ると、インテルの回路は実に整然としている。実際、中核から伸びた数本の配線が、媒介性の高い人々を経由して中核外部モジュールに直結している。この第一印象は、数値的にも確認できる(表3)。³³

この表のa)とb)については本文で触れたので、まず外部研究依存率(表3で定義)、リンク密度(実在リンク数の可能リンク数に対する比率)、平均次数(一人当たりの共発明・共著回数)の各

³² <http://panasonic.co.jp/corp/news/official.data/data.dir/jn100915-1/jn100915-1.html>

³³ ここでは台湾TSMCが新たに追加されている。

社の違いを見てみよう。少数精鋭の Panasonic を含めても、インテルの外部依存率と平均次数はかなり高い。他方、リンク率は、人員規模が増大すると幾何級数的に減少するので、規模が同じ東芝とほぼ同一であることを勘案すると、並のレベルである。平均到達距離(任意のペアが行き着く必要平均ステップ数)も他と差がないので、インテルと Panasonic の情報伝達・応答速度はかなり速いと推測される。

企業の境界を越えて外部組織・人材への依存度が高くなると、一般的に情報の伝達・応答速度が落ちる。ただし、インテルの推移性成立率は 50%を越えており、しかも、それは同社の世界を跨いだ R&D システム内での数値である。このような関係者間での縦横無尽な配線状況を見ると、相当な伝達・応答速度が維持されているようだ。同じことが Panasonic にも当てはまる。他方、Samsung と IBM の値は、インテルの約半分である。インテルと IBM のスピード感の違いは、この辺りに起因している可能性もある。

表3 各社 R&D ネットワークの特性値³⁴

	Intel	IBM	Samsung	Toshiba	TSMC	Panasonic
a)発明者数(各社2件以上)	172	562	503	184	321	77
b)推定R&D人員	617	1200	1008	434	628	181
外部R&D依存率(b/a)	3.59	2.14	2.00	2.36	1.96	2.35
リンク密度(対可能リンク数)	0.030	0.013	0.013	0.027	0.018	0.088
平均次数	9.313	7.641	6.331	5.926	5.798	7.884
推移性成立比率	0.512	0.281	0.247	0.357	0.308	0.678
平均到達距離	2.981	2.803	2.744	2.804	2.769	2.578
最大到達距離	4	4	4	4	4	4
c)Girvan-Newman最大モジュール数(for 最大Q値)	4個 (74.0)	17個 (116.1)	616個 (598.9)	238個 (22.1)	377個 (225.3)	96個 (47.6)
研究開発者数/モジュール(b/c)	154.3	70.6	1.6	1.8	1.7	1.9
d)Girvan-Newman最大モジュール数(for 20階層までの最大Q値)	4個 (74.0)	17個 (116.1)	12個 (76.8)	6個 (16.7)	6個 (50.0)	2個 (32.6)
研究開発者数/モジュール(b/d)	154.3	70.6	84.0	72.3	104.7	90.5

注) 上記の推移性とは、任意の3名 (A,B,Cと呼ぶ) の中でAとBが配線され、BとCも配線されている時、常にAとCも配線されていることを意味する。

他の条件を一定とすると、伝達・応答速度は、組織の階層が深いほど低下する。可能であれば、この階層数を各社比較してみたい。一つの方法は、Girvan-Newman (GN) アルゴリズム (Girvan and Newman (2002)) を適用して試みることである。³⁵ 結果は、最後の4列に示されている。具体的には、c) の欄が階層数に事前の制約がないときの最大の Q に対する階層数、d) が 20 階層以内に制限した時の最大の Q に対する階層数である。

数値を見ると、c) 欄では、インテルの階層数が最も少ない。IBM の階層数にも、発明者数や R&D

³⁴ 各社で最大到達距離(任意の2名間で最大かかる到達経路数)が全て同じなので、表4の特性値の比較可能性はかなり高い。

³⁵ GN アルゴリズムでは、まず、ネットワーク内の集団間で媒介者としての役割の大きい(=媒介中心性の高い)人々に着目する。そして、媒介性が最も大きい人から順番にネットワークから除いて集団を分割していく。そして、このプロセスを全ての集団が一人になるまで繰り返す。最後に、ネットワーク全体を“最適”に分割する階層数を計算する。“最適”とは、ネットワーク構成員をランダムに配置した場合との差を最大にする階層数を意味する。表4には、最適階層数に対応した差の値(Q値と呼ばれる)が示されている。分かり易い解説に関しては Newman(2010) 第7章参照。

人員数の差を勘案すると、違和感はない。一方、両社に比べ、アジア勢の階層数はいずれもかなり高い。この数値をより比較可能とするために、b)の R&D 人員数を c)の最大モジュール数で割った“研究開発者数/モジュール”を見ると、インテル、IBM の組織は、アジア勢の組織に比べて相当にフラットなようである。ただし、上限を 20 階層に設定すると、この傾向は無くなる。その理由の一つは、単独特許しかない人々が一括りになるためだと考えられる。ただし、この場合でも、インテルの数値は飛び抜けている。このことから、やはりインテルの情報転送速度・応答速度は、相当に速いと推測される。

前節までの分析で示したように、韓国勢や台湾勢は、このような自社の（アジア的）組織特性を SEMATECH、IMEC、IBM を中核としたグループに可能な限り近接する形で補強してきた。他方、日本勢は、世界の R&D ネットワークの中で未だ“離れ小島化”しており、そのような組織特性をなかなか補強できていない。

もちろん、日本勢も、やや遅れてしまったが、様々な脱“離れ小島化”策を採用しはじめている。実際、東芝・ルネサス（含む旧 NEC エレクトロニクス）・日立と IBM、SONY と IMEC、そして東京エレクトロン等の有力装置メーカーや材料メーカーが、IBM や IMEC が提供する様々なコンソーシアム活動で無くてはならないパートナーとなっている。したがって、現状は、本論で描かれたものと少し異なり、Panasonic 型に近づきつつある。そう願いたい。

ただし、例えそうだとしても、表 3 のインテルが示唆するように、外部 R&D 依存率を高める際には、そのことに対応できる情報の転送速度・応答速度を備えた新しい“中枢神経系”が必要とされる。特に、いの一に求められるのが、部分と全体の関係を“丸見え化”しやすい格段にフラットな階層構造を備えた高度に ICT 化された組織であることは間違いない。とすると、多くの日本勢には、組織経営面で未だ相当の改善余地が残っているのではないだろうか。

最後に、本論でもたびたび登場した日本勢を中心とした MIRAI/SELETE の活動が本年 3 月で活動を終えた。たしかに、いまや、日本勢だけでこの種のコンソーシアムを維持・発展させていく時代ではなくなっている。ただし、その一方で、一国の半導体産業が一国の命運を握るほどの重要性をさらに加速させつつある。したがって、“サイエンス・イノベーション”の潜在力を高めるために、日本勢を特徴付ける個々人のレベルの高さをも一層維持・発展させていく必要性が以前にも増して高まっている。そして、そのためにも、半導体の応用研究・開発に勝るとも劣らず、基礎研究の重要性とそこに関与する国家の役割が重要になる。しかも、その際に、国境を越えた世界レベルでの部分と全体の関係を見据えた産業政策の視点が求められている。

参考文献

- Bohr, Mark T., Robert S. Chau, Tahir Ghani, Kaizad Mistry (2007), “The High-k Solution,” IEEE-Spectrum, October, pp. 29-35
- Katy Burner, Luca Dallasta, Weimao Ke, and Alessandro Vespignani, (2005), “Studying the Emerging Global Brain: Analyzing and Visualizing the Impact of Co-Authorship Teams,” Complexity, vol 10, no.4, pp.57-67
- Chesbrough (2003), *Open Business Models: How to Thrive in the New Innovation Landscape*, Harvard Business Press, 2006
- Chuma, Hiroyuki and Norikazu Hashimoto (2010) , “Moore’s Law, Increasing Complexity and the Limits of Organization: The Modern Significance of Japanese Chipmakers’ Commodity DRAM Business,” in Itami, H., K. Kusunoki, T. Numagami, and A. Takeishi (ed), *Dynamics of Knowledge, Corporate Systems, and Innovation*, pp. 209-245
- 中馬宏之 (2007)、「日本の半導体生産システムの競争力弱化要因を探る : Papert’s Principle の視点から」、『認知科学 (日本認知科学学会誌)』第14巻1号 35-39
- 中馬宏之:安生一郎:橋本哲一(2009)「DRAM 日本勢の敗因を再検証、見過ごされた実装技術の真価」『日経マイクロデバイス』10月号、69-76
- Michelle Girvan and M. E. J. Newman (2002), “Community structure in social and biological networks,” Proceedings of National Academy of Science USA, 99, 7821-7826
- Gang He, Liquing Zhu, Zhaoqi Sun, Qing Wan, and Lide Zhang (2011), “Integrations and challenges of novel high-k gate stacks in advanced CMOS technology,” Progress in Materials Science 56, pp. 475-572
- K. J. Hubbard and D. G. Schloma (1996), “Thermodynamic stability of binary oxides in contact with silicon,” Journal of Materials Research, 11: pp. 2757-2776
- Newman, N. E. J. (2010), *Networks: An Introduction*, Oxford University Press
- Sperber, D. and Wilson, D. (1999), 内田聖二, 中達俊明, 宋南先, 田中圭子訳, 『関係性理論 : 伝達と認知 (第2版)』 (Relevance : communication and cognition), 研究社
- Wilk GD, Wallace RM, Anthony JM. (2000), Hafnium and zirconium silicates for advanced gate dielectrics,” Journal of Applied Physics, 87, 484-92.
- World Intellectual Property Organization (WIPO) (2010), WORLD INTELLECTUAL PROPERTY INDICATORS.
- Zuboff, Shoshana (1984), In the Age of the Smart Machine: The Future of Work and Power, Basic Books.